

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-5711

(43) 公開日 平成8年(1996) 1月12日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/22	3 3 0 B			
H 0 1 L 21/66		F 7514-4M		

G 0 1 R 31/ 28

E

V

審査請求 有 請求項の数4 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平6-154322

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成6年(1994) 6月14日

(72) 発明者 大石 康晴

東京都港区芝五丁目7番1号 日本電気株式会社内

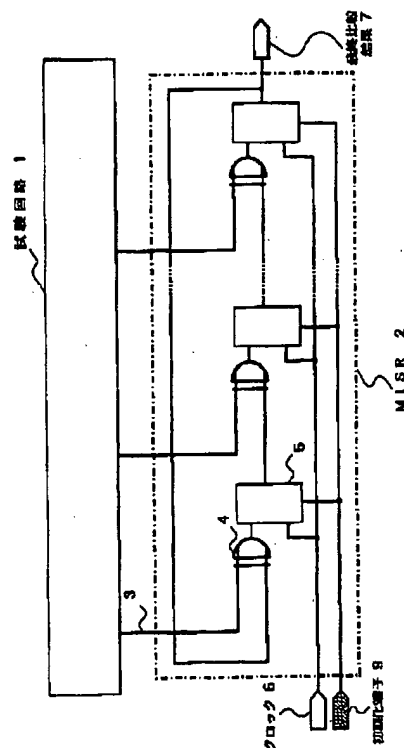
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体集積回路のテスト方式

(57) 【要約】

【目的】 BISTに用いられているMISRにおいて、試験回路でビットエラーが発生した場合にこのエラーがMISR回路内でループすることなく、最終パターンまでテストが行えることを可能にする。

【構成】 1回目のテストで試験回路1で生じたビットエラーの発生時点を確認し、テストパターンの該ビットエラー発生時点においてMISRに対するイニシャライズ信号をアクティブに設定する。これにより、MISR2回路内でエラーがループすることを回避し、そして試験回路が正常動作に復帰すれば再びテストが行える。



## 【特許請求の範囲】

【請求項1】 BIST（ビルトインセルフテスト）等のコンパクトテスト方式で用いられるMISR（マルチインプット・シフトレジスタ）回路において、試験回路でビットエラーが生じた場合、前記MISR回路内をループするエラーを解除するための所定の初期化信号をアクティブとするようにテストパターンを設定し、前記試験回路が正常動作に復帰した際に再びテストが行えるようにすることを特徴とする半導体集積回路のテスト方式。

【請求項2】 前記MISRが、該MISRを構成する複数のフリップフロップを初期化するための端子を備え、前記試験回路のエラー発生時点において該端子に初期化信号を供給するように前記テストパターンを修正することを特徴とする請求項1記載の半導体集積回路のテスト方式。

【請求項3】 該MISRを構成する複数のフリップフロップがセット及び／又はリセット付きのフリップフロップであることを特徴とする請求項2記載の半導体集積回路のテスト方式。

【請求項4】 前記MISRが、前記試験回路の検出信号をマスクするゲート回路と該ゲート回路にマスク信号を与えるテスト端子を備え、前記試験回路のエラー発生時点において該テスト端子にマスク信号を供給するように前記テストパターンを修正することを特徴とする請求項1記載の半導体集積回路のテスト方式。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路のテスト方式に関し、特にBIST（ビルトインセルフテスト）で用いられるMISR（マルチインプット・シフトレジスタ）回路に関する。

【0002】

【従来の技術】 図4に、一般的なBIST（Built-In Self Test）の構成を示す。ここで、BISTとは、半導体集積回路の内部にテスト対象回路（「試験回路」という）に与えるテストパターンを発生させる回路と、テスト対象回路からの出力パターンを圧縮する回路を組み込むことにより、自己テストを行なうものをいう。

【0003】 図4に示すように、半導体集積回路において、テストパターン発生器は試験回路にテストパターンを印加し、試験回路からの出力をパターン圧縮器で圧縮したものについて、比較器にて期待値と比較し、最終比較結果を出力することによりテストが行なわれる。試験回路、テストパターン発生器、パターン圧縮器、及び比較器は基本的にチップ上に搭載される。

【0004】 また、図5に、従来のMISR（Multi Input Shift Register）回路を含むBISTの構成を示す。MISR回路は、多入力のLFSR（リニアフィードバック・シフトレジスタ）を意味し、パターン圧縮・比較を行うもので、試験回路1の検証結果をMISR回

路2でパターン圧縮し、期待値と比較し最終的な判定結果を出力する。

【0005】 MISR2を構成する初段のフリップフロップ5には、試験回路1の検証結果を示す出力信号3と、最終段のフリップフロップの出力である最終比較結果7をフィードバックした信号を入力とする排他的論理和回路XOR4の出力が入力される。

【0006】 そして、次段以降のフリップフロップには、試験回路1の検証結果を示す出力信号と前段のフリップフロップの出力との排他的論理和出力が入力される。試験回路1からの出力信号は排他的論理和回路で空間圧縮され、その結果がMISR2で時間圧縮され、最終比較結果として順次出力される巡回シリアルビットを基にパス／フェイルが判定される。

【0007】

【発明が解決しようとする課題】 従来のBISTにおけるテストで必要とされるテストパターンは、エラーが生じるとその時点以降のテストが行えないため、試験回路1において、全くエラーの起こらないテストパターンが必要となる。

【0008】 より詳細には、従来のBISTを用いた半導体集積回路のテスト方式は、BISTを構成するMISR回路2は一種のトグル回路で構成されているため、試験回路1でビットエラーが発生すると、このエラーがMISR回路2内でループし、最終パターンまで比較判定結果にエラーを出力し続ける。このため、たとえエラー発生後、試験回路が正常動作に復帰しても、エラー発生時点からテストが行えないという問題がある。

【0009】 また、これまでMISR回路を用いたBISTでのテストには、全くエラーの出ないテストパターンか、あるいは複数本のテストパターンが必要となり、これに伴いテストパターン作成の工数が増え、莫大なテスト時間を要するという問題がある。

【0010】 従って、本発明は前記問題点を解消し、BISTに用いられるMISR回路において、試験回路にビットエラーが発生した場合でも、このエラーがMISR回路内でループすることなく、最終パターンまでテストが行えることを可能とするBISTを提供することを目的とする。

【0011】

【課題を解決するための手段】 前記目的を達成するため、本発明は、BIST（ビルトインセルフテスト）等のコンパクトテスト方式で用いられるMISR（マルチインプット・シフトレジスタ）回路において、試験回路でビットエラーが生じた場合、前記MISR回路内をループするエラーを解除するための所定の初期化信号をアクティブとするようにテストパターンを設定し、前記試験回路が正常動作に復帰した際に再びテストが行えるようにすることを特徴とする半導体集積回路のテスト方式を提供する。

【0012】また、本発明の好適な態様においては、MISRが該MISRを構成する複数のフリップフロップを初期化する端子を備え、試験回路のエラー発生時点において該端子に初期化信号を供給するように前記テストパターンを修正することを特徴とする。本発明においてはフリップフロップは好ましくはセット・リセット付きフリップフロップで構成され、エラー発生時点において、リセット信号、セット信号あるいはイネーブル信号のいずれかがアクティブにされ初期化される。

【0013】さらに、本発明の別の好適な態様においては、MISRが試験回路の検出信号をマスクするゲート回路と該ゲート回路にマスク信号を与えるテスト端子を備え、試験回路のエラー発生時点において該テスト端子にマスク信号を供給するように前記テストパターンを修正することを特徴とするものである。

【0014】

【作用】本発明の半導体集積回路のテスト方式によれば、好ましくは、まず1回目のテストで試験回路でのエラー発生地点を確認して、MISR回路内をループするエラーを一度解除できるようにテストパターンを修正し、テストパターン上からMISR回路内にイニシャライズ動作を与えるもので、このようにテストパターン上からMISRを構成する回路にイニシャライズ動作を与えることにより、試験回路で生じたビットエラーがMISR回路内でループせず、試験回路が正常動作に復帰すれば最終パターンまで再びテストが行うことができる。このため、本発明によれば、テストパターン作成が極めて容易になり、テスト時間が短縮する。

【0015】

【実施例】次に、本発明について図面を参照して説明する。

【0016】

【実施例1】図1は本発明の一実施例に係るBIST回路のブロック図である。図1のBISTの回路構成は、前記従来例の構成と基本的に同一であるが、本実施例では、図1の試験回路1においてビットエラーが生じた場合、パターン圧縮・比較を行うMISR回路2内でこのエラーがループして最終判定結果7にエラーが出力され続けるという事を、テストパターンの修正により回避するものである。

【0017】本実施例においては、まず試験回路1で生じたビットエラーをテストの際に確認し、そのビットエラー発生時点においてMISR回路2内にイニシャライズ（初期化）動作をテストパターンから与えるようにする。

【0018】このテストパターンの修正に基づく本実施例の動作を図3に示す。図3の（A）は、一回目の検証結果においてビットエラーが発生した時の動作を示し、（B）はテストパターン修正後の動作を示している。

【0019】図3（A）において、試験回路1内の検証

結果にエラーが発生すると、1回目のテストにより生じたビットエラーは、MISR回路2内をループし、最終判定結果7にもエラーが出力され続ける。即ち、MISR回路2の出力である最終比較結果7は、エラー発生時点以降もエラー状態（図示ハイレベル）を出力し続ける。

【0020】そこで、テストパターンを修正し、エラー発生時点においてMISR回路2にイニシャライズを与えるように設定する。このようにテストパターンを修正することにより、最終パターンにまでエラーがまわり込んでいたものが解消され、エラー発生後に試験回路1が正常動作に復帰した場合、再び検証が可能となる。

【0021】そして、図1の本実施例の特徴は、MISR回路2を構成する複数のリセット付きフリップフロップ5をエラー発生時点において初期化すべく、初期化端子9に対してテストパターンからリセット信号をアクティブに設定するようにしたことにある。

【0022】一回目のテストでエラーが発生した時点において、MISR2の全てのフリップフロップをテストパターンからリセットするようにテストパターンを修正することにより、1回目のテストで生じたエラーは、MISR回路2内をループしなくなり、エラー発生時点の後に、再びテストが行える。

【0023】例えば、図3（B）に示すように、テストパターンを修正した場合、MISR回路2の出力である最終比較結果7は、エラー発生時点において試験回路1の検証結果と期待値との不一致を示すエラー状態（図示ハイレベル）を出力するが、次の時点からもはやエラー状態は出力されず、試験回路1の検証を可能としている。

【0024】なお、セット・リセット付きフリップフロップのセット信号、リセット信号、あるいはイネーブル信号をアクティブに設定することによっても同様の結果が得られる。

【0025】

【実施例2】次に、本発明における別の実施例を図2に示す。同図に示すように、本実施例においては、MISR回路2内にテスト用入力端子10が設けられている。試験回路1からの検出信号3と、テスト端子10から入力される信号は論理積回路11に入力され、論理積回路11の出力が排他的論理和回路4を介してフリップフロップ5に入力される。

【0026】即ち、MISR回路2の初段のフリップフロップ5には、論理積回路11の出力と最終段のフリップフロップの出力である最終比較結果7をフィードバックした信号を入力とする排他的論理和回路4の出力が入力され、次段以降のフリップフロップには、論理積回路11の出力と前段のフリップフロップの出力との排他的論理和出力が入力される。なお、本実施例では、図1に示す前記実施例1のMISR2に設けられたリセット端

子9は不要とされる。

【0027】本実施例において、1回目のテストより試験回路1で生じたビットエラー発生時点を確認し、エラー発生時点に対応して、テスト端子10をイニシャライズするようにテストパターンを修正し、MISR回路2内でエラーをループすることを回避する。この場合、エラー発生時点においてテスト端子10には、試験回路1の検出信号3をマスクするよう論理“0”の信号が印加されるようにテストパターンが修正される。

【0028】

【発明の効果】以上説明したように本発明は、試験回路のエラー発生時点に、テストパターン上からMISRを構成する回路にイニシャライズ動作を与えるようにしたことにより、試験回路で生じたビットエラーがMISR回路内でループせず、試験回路が正常動作に復帰すれば、最終パターンまで再びテストが実行可能となる。このため、本発明は、テストパターン作成を極めて容易化すると共に、テスト時間を短縮するという効果を有する。

【0029】さらに、本発明においては、好ましくはMISRに、フリップフロップを初期化するための端子を設け、試験回路のエラー発生時点においてテストパターンにより初期化用の端子をアクティブとするようにテストパターンを修正するものであり、試験回路で生じたビットエラーはMISR回路内でループせず、試験回路が正常動作に復帰した際に最終パターンまで再びテストが実行可能となり、テストパターン作成の容易化、テスト時間の短縮を達成している。そして、本発明において

は、MISR回路に、試験回路の検出信号をマスクするゲート回路と該ゲート回路にマスク信号を与えるテスト端子を設けた簡易な回路構成のもと、試験回路のエラー発生時点においてテスト端子にマスク信号を供給するようにテストパターンを修正することによっても、ビットエラーのループの回避、テストパターン作成の容易化、テスト時間の短縮という同様な効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

10 【図2】本発明の別の実施例の構成を示す図である。

【図3】本発明におけるテストパターン修正の動作を示す図である。

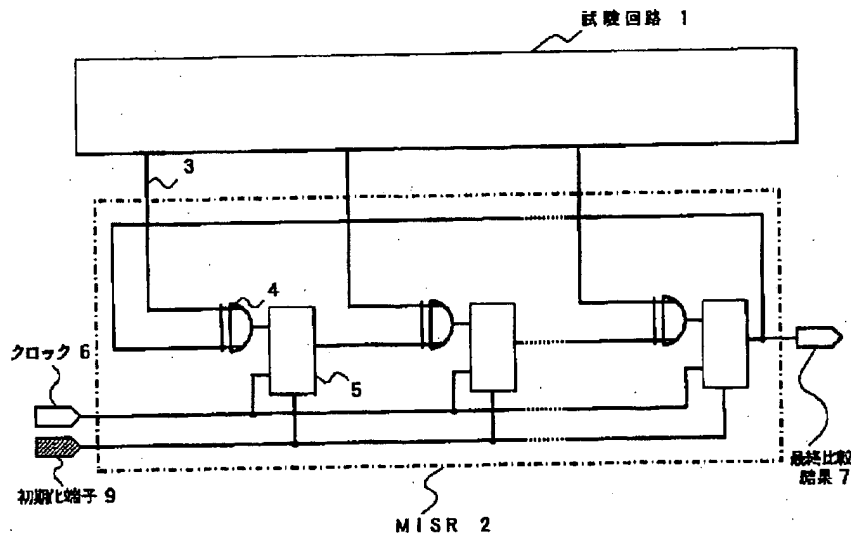
【図4】一般的なBISTの構成図である。

【図5】従来のMISR回路を含むBISTの構成図である。

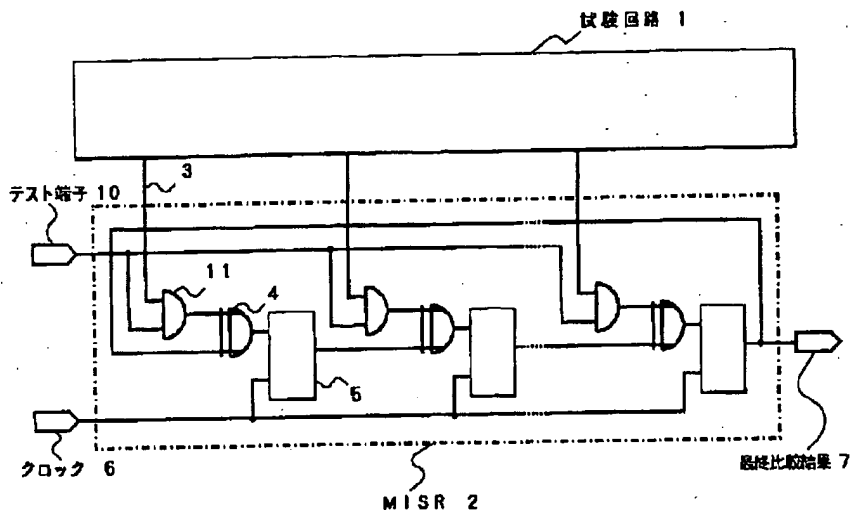
【符号の説明】

- 1 試験回路
- 2 MISR
- 3 試験回路の検出信号
- 4 排他的論理和回路
- 5 フリップフロップ
- 6 クロック
- 7 最終比較結果
- 8 クリア端子
- 9 初期化端子
- 10 テスト端子
- 11 論理積回路

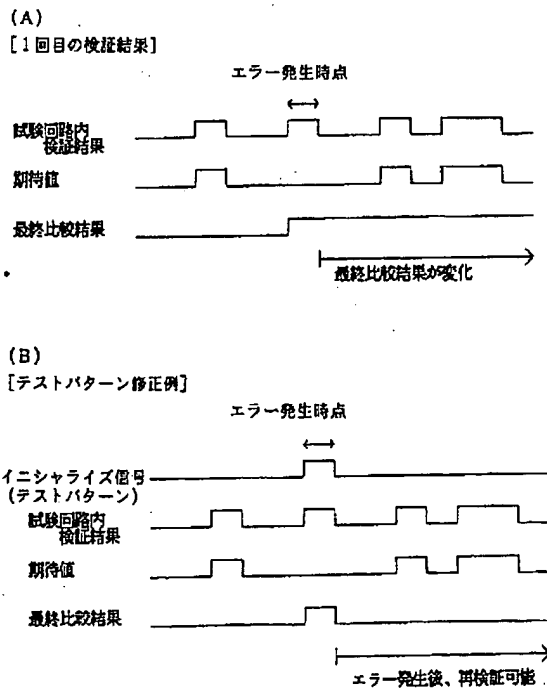
【図1】



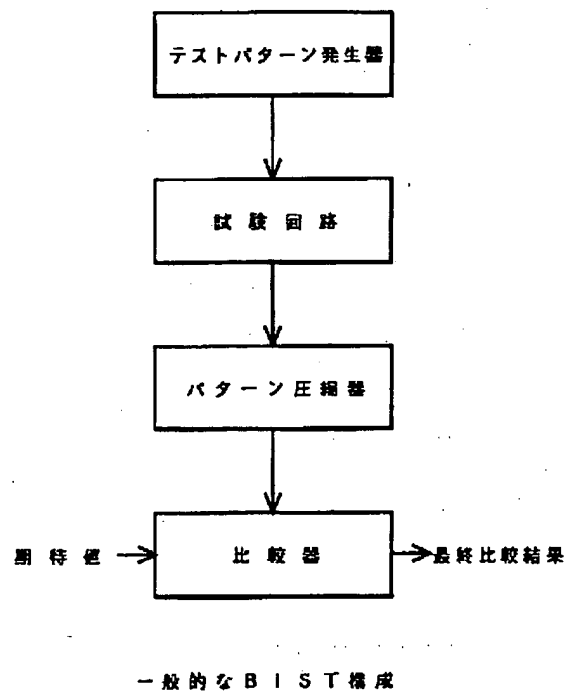
【図2】



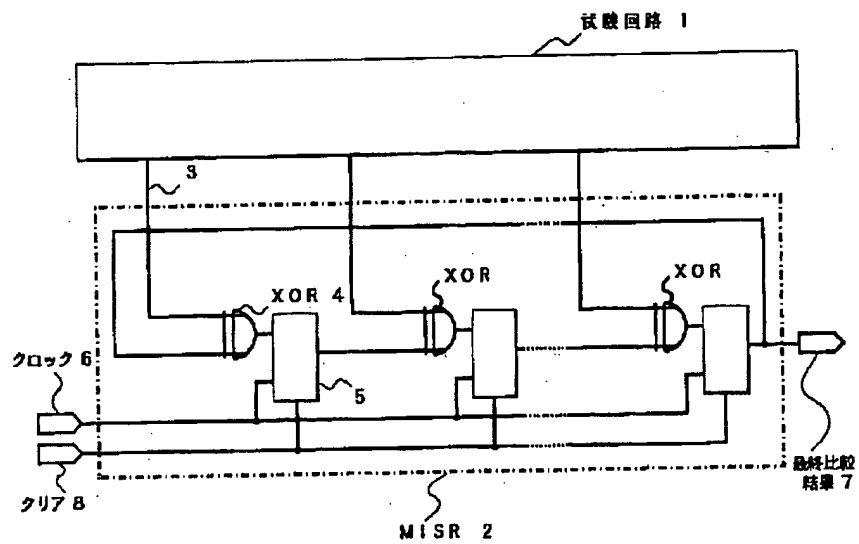
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 27/04

21/822

識別記号 庁内整理番号

FI

技術表示箇所

H01L 27/04

T